

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. Dezember 2000 (21.12.2000)

PCT

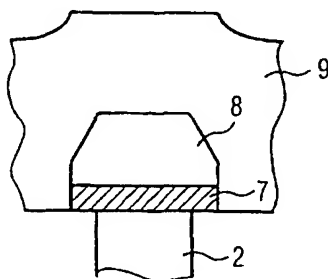
(10) Internationale Veröffentlichungsnummer
WO 00/77841 A1

- (51) Internationale Patentklassifikation⁷: H01L 21/3213 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St. Martin-Strasse 53, D-81541 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE00/01896 (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): ENGELHARDT, Manfred [DE/DE]; Edelweisstr. 1a, D-83620 Feldkirchen-Westerham (DE). WEINRICH, Volker [DE/DE]; Brunecker Str. 2, D-81373 München (DE). KREUPL, Franz [DE/DE]; Müllerstr. 43, D-80469 München (DE). SCHIELE, Manuela [DE/DE]; Feldkirchener Str. 10, D-85625 Glonn (DE).
- (22) Internationales Anmeldedatum: 9. Juni 2000 (09.06.2000)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 199 26 501.1 10. Juni 1999 (10.06.1999) DE (74) Anwalt: EPPING - HERMANN & FISCHER; Postfach 12 10 26, 80034 München (DE).

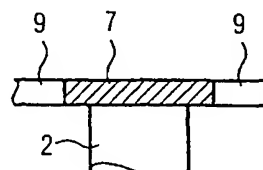
[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A SEMICONDUCTOR MEMORY COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES HALBLEITERSPEICHERBAUELEMENTS



C



D

(57) Abstract: The invention relates to a method for producing a semiconductor memory component, in particular, a DRAM or FeRAM, comprising a silicon substrate. At least one memory capacitor is located on said substrate, comprising a lower electrode, upper electrode and a dielectric layer which lies between said electrodes and which consists, in particular, of a ferroelectric material. The lower electrode is insulated from the silicon substrate by a barrier layer, consisting in particular of a diffusion barrier or a diffusion barrier combined with adhesive layers to form a sandwich. Said adhesive layers consist, in particular, of Ir, IrO₂, or IrO. The barrier layer is structured before the application of the memory capacitor, using a hard mask consisting in particular of SiO₂, SiN, SiON. The hard mask layer which remains after structuration is removed by uncovering the structured barrier layer. The invention is characterised in that the structured barrier layer is embedded in SiO₂, using CVD (Chemical Vapour Deposition) before the removal of the remaining mask layer and that the remaining mask layer is removed with the SiO₂ embedding layer from the surface of the barrier layer, using a SiO₂ CMP (Chemical Mechanical Polishing) process.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements, insbesondere eines DRAM bzw. FeRAM, mit einem Silizium-Substrat, auf welchem zumindest ein Speicherkondensator mit unterer Elektrode, oberer Elektrode und einer dazwischen liegenden Dielektrikumschicht, insbesondere aus einem ferroelektrischen Material angeordnet ist, wobei die untere Elektrode von dem Silizium-Substrat durch eine Barrierenschicht, insbesondere bestehend aus einer Diffusionsbarriere bzw. einem Diffusionsbarrieren-Sandwich in Kombination mit Haftschichten, insbesondere aus Ir, IrO₂, IrO, isoliert ist. Die Barrierenschicht wird vor dem Aufbringen des Speicherkondensators mittels einer Hartmaske, insbesondere aus SiO₂,

[Fortsetzung auf der nächsten Seite]

WO 00/77841 A1



(81) Bestimmungsstaaten (*national*): CN, JP, KR, US.

— Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— Mit internationalem Recherchenbericht.

SiN, SiON, strukturiert, die nach der Strukturierung verbleibende Maskenschicht unter Freilegung der strukturierten Barrierenschicht entfernt wird. Es ist vorgesehen, daß die strukturierte Barrierenschicht vor Entfernung der verbleibenden Maskenschicht mittels CVD (Chemical Vapour Deposition bzw. chemische Dampfabcheidung) in SiO₂ eingebettet wird, und daß die verbleibende Maskenschicht zusammen mit der SiO₂-Einbettung von der Oberfläche der Barrierenschicht mittels eines SiO₂-CMP (Chemical Mechanical Polishing)-Prozesses entfernt wird.

Beschreibung

Verfahren zur Herstellung eines Halbleiterspeicherbauelements

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterspeicherbauelements gemäß dem Oberbegriff des Anspruchs 1, wie aus der US-A-5 464 786, der US-A-5 506 166 und der US-A-5 581 436 bekannt.
- 10 Weiterhin ist aus der WO 99/27581 bekannt, auf einem Substrat eine Isolationsschicht mit einem darin befindlichen Kontaktstopfen vorzusehen. Darauf wird ein Dielektrikum mit einer Ausnehmung gebildet und auf dieser Struktur eine Barrierenschicht als Diffusionsbarriere vorgesehen. Dann
- 15 werden eine untere Elektrodenschicht, eine Dielektrikumsschicht und eine obere Elektrodenschicht für einen Speicherkondensator abgeschieden. Daran anschließend wird eine Pufferschicht abgeschieden, welche die Struktur bedeckt und die verbleibende Ausnehmung ausfüllt. In einem
- 20 chemisch-mechanischen Planarisierungsschritt wird schließlich die Pufferschicht bis zur Barrierenschicht abgetragen und dann die an der Oberfläche freiliegende Barrierenschicht entfernt.

- Die betreffenden Halbleiterspeicherbauelemente umfassen
- 25 zumindest einen Speicherkondensator mit einem Speichermedium, das aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher Elektrizitätskonstante besteht. Beim Einsatz derartiger Speichermedien sind Ausheilprozesse bei hohen Temperaturen, charakteristischer Weise in der Größenordnung
- 30 von 800°C, in oxidierender Umgebung mit insbesondere Sauerstoff als Prozeßgas notwendig. Materialdiffusionsprozesse, beispielsweise durch Aufoxidieren von Polysilizium-Stopfen (sogenannten -Plugs), welche der Kontaktierung zum Silizium-

2

Substrat dienen, müssen vermieden werden, weil sie zu einer Beeinträchtigung oder gar zum Ausfall des Halbleiterspeicherbauelements führen können.

- 5 Um Materialdiffusionsprozesse auszuschließen, werden Diffusionsbarrieren bzw. Sandwiches derartiger Barrieren in Kombination mit Haftsichten eingesetzt, beispielsweise bestehend aus Ir, IrO₂, IrO. Im folgenden werden diese Strukturen insgesamt als Barrieren bzw. Barrierenschicht
10 bezeichnet. Diese Barrieren werden zwischen dem Speicherkondensator und dem Silizium-Substrat angeordnet. Das heißt, auf die Barrierenschicht wird die untere Elektrode, die sogenannte Bottom-Elektrode des Speicherkondensators, die typischerweise aus Pt, Ru, RuO₂ besteht, aufgebracht. Um eine
15 optimale Haftung der unteren Elektrode auf der Barriere zu gewährleisten, muß die Barrierenschicht eine möglichst große ebene Kontaktfläche aufweisen. Außerdem ist ein möglichst niedriger Kontaktwiderstand erforderlich, zumal Elektrodendünnschichten üblicherweise schlecht auf dem Sili-
20 zium-Substrat haften.

- Die Barrierenschichten lassen sich nur schlecht im Plasma strukturieren, da sie unzureichende bzw. nichtflüchtige Verbindungen in den zur Strukturübertragung eingesetzten
25 Prozeßchemien bilden. Die Strukturierung erfolgt daher bislang bevorzugt durch physikalischen Sputterabtrag der Schichten. Bei der Strukturübertragung werden deshalb zu Maskenmaterialien geringe Selektivitäten erzielt. Im Fall einer Barrierenschicht aus IrO₂ trägt außerdem der dabei
30 freiwerdende Sauerstoff zusätzlich zur Lackabtragung bei. Außerdem führt die Strukturübertragung zu einer signifikanten CD(= Critical Dimension)-Änderung und/oder zu Profilabschrägungen durch ein laterales Zurückziehen des

Resists bzw. durch Anlagerung von nur schwierig bzw. gar nicht entfernbaren Redepositionen an den Seitenwänden der erzeugten Struktur oder durch Kombination aus beidem.

5 Bekannt ist außerdem im Zusammenhang mit dem Aufbringen von Speicherkondensatoren auf einem Siliziumsubstrat die Verwendung einer dielektrischen harten Maske bzw. Hardmask, die beispielsweise aus SiO_2 , SiN oder SiON besteht. Wegen der grundsätzlich geringeren Erodierbarkeit dieser Maskenschichten
10 sind bei einer Prozeßführung mit Hilfe dieser Maskenschichten höhere Selektivitäten realisierbar. Aufgrund der Maskenfacet- tierung bei bevorzugt physikalischem Sputterabtrag im Plasmastrukturierungsprozeß muß jedoch die Dicke der Masken- schicht größer gewählt werden als allein durch die Selektiviti-
15 tät vorgegeben, um eine Übertragung der Facette in die zu strukturierende Schicht zu vermeiden. Die Entfernung der nach erfolgter Strukturübertragung verbleibenden Maske in einem Plasmaätzprozeß führt zu einer zusätzlichen Vergrößerung der erwünschten Topographie von mindestens der Dicke der zu ent-
20 fernenden Maskenschicht.

Derartige Strukturierungsprozesse sind beispielsweise bekannt aus der US-A-5 464 786, der US-A-5 506 166 und der US-A-
5 581 436. Naßprozesse zum nachfolgenden Abtragen der
25 Maskenschicht scheiden wegen der damit verbundenen zusätzlichen isotropen Unterätzung der Strukturen prinzipiell aus.

Eine Aufgabe der vorliegenden Erfindung besteht darin, ein
30 Verfahren der eingangs genannten Art zu schaffen, welches eine optimal große Oberfläche bzw. Haftfläche der Barrierenschicht gegenüber der unteren Elektrode des Speicherkondensators gewährleistet.

Gelöst wird diese Aufgabe durch das Verfahren nach Anspruch 1.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unter-
5 ansprüchen angegeben.

Mit anderen Worten sieht die Erfindung eine vollständige Ein-
bettung der strukturierten Barriereschicht mitsamt der auf ihr
verbleibenden Maskenschicht in SiO_2 mittels CVD (chemische
10 Dampfabcheidung) vor, gefolgt von einem CMP (Chemical
Mechanical Polishing)-Prozeß, vorteilhafterweise mit
Polierstopp auf der Kontaktoberfläche der Barrierenschicht.
Diese Prozeßschritte gewährleisten Barrierenschichten mit
minimaler Oberflächen- bzw. Kontaktflächenänderung, die auch
15 als CD (Critical Dimension) bezeichnet wird, unter zwar unter
Erzeugung senkrechter Seitenwände aufgrund der Verwendung
einer Hardmaske für die Strukturübertragung. Mittels der
dadurch erzielten großflächigen und ebenen Kontaktfläche für
die darauf aufzubringende untere Elektrode ohne Erzeugung
20 zusätzlicher Topographie aufgrund der erfindungsgemäßen
Kombination von CVD- SiO_2 und SiO_2 -CMP wird eine optimale
Haftung des Speicherkondensators bei niedrigem
Kontaktwiderstand gewährleistet.

25 Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht
darin, daß die Barrierenschicht mit ihrer freigelegten Kon-
taktfläche in einer umgebenden SiO_2 -Schicht mit Ausnahme ihrer
Oberfläche bzw. ihrer Kontaktfläche eingebettet ist. Eine
derartige Struktur mit vergrabener Barrierenschicht ergibt
30 sich aufgrund der erfindungsgemäßen Verfahrensführung mit CVD-
 SiO_2 und SiO_2 -CMP.

5

Nachfolgend wird die Erfindung anhand der Zeichnung beispielhaft näher erläutert.

Es zeigen:

5

Fig. 1 eine schematische Querschnittsansicht eines Halbleiterspeicherbauelements im Bereich eines Speicherkondensators;

10 Fig. 2 schematisch den bisherigen Herstellungsprozeß für die Barrierenschicht der Anordnung von Fig. 1, wobei im oberen Teil von Fig. 2 das Verfahren nach Lackauftrag und im unteren Teil von Fig. 2 das Verfahren nach erfolgter Strukturübertragung;

15

Fig. 3A und 3B die Verfahrensführung unter Nutzung einer Hard Mask (harten Maske); und

20 Fig. 3C und 3D die erfindungsgemäße Verfahrensführung mit CVD-SiO₂ (Fig. 3C) und SiO₂-CMP (Fig. 3D).

Wie in Fig. 1 schematisch gezeigt, ist auf ein mit z.B. SiO₂ beschichtetes Substrat 0 im Bereich eines dort in
25 herkömmlicher Weise ausgebildeten Stopfens bzw. Plug 2 aus Poly-Si, W und dergleichen, welcher Stopfen 2 sich bis zur Oberseite der SiO₂-Schicht 1 erstreckt, ein Speicherkondensator 3 angeordnet, der eine untere Elektrode 4,
30 eine sogenannte Bottom-Elektrode, eine obere Elektrode 5, eine sogenannte Top-Elektrode und ein dazwischen angeordnetes Dielektrikum 6 bzw. ein Speichermedium aus einer ferroelektrischen Dünnschicht bzw. einer Dünnschicht mit hoher

6

Dielektrizitätskonstante umfaßt. Um das eingangs abgehandelte Problem einer Materialdiffusion zu verhindern, ist zwischen der unteren Elektrode 4 und der Oberseite des mit SiO_2 beschichteten Substrats eine Barrierenschicht 7 angeordnet.

5

Ein herkömmlicher Prozeßablauf zur Erzeugung der Barrierenschicht 7 ist in Fig. 2 schematisch ohne Darstellung des Substrats gezeigt. Demnach wird in bekannter Weise auf der Oberseite der Barrierenschicht 7 eine Lackmaske 8 aufgebracht, die
10 aufgrund der Maskenstruktur Abdeckungsbereiche einer bestimmten Flächenausdehnung (mit $\text{CD} = \text{Critical Dimension}$) aufweist. Diese Anordnung ist im oberen Teil von Fig. 2 gezeigt. Im unteren Teil von Fig. 2 ist die Anordnung nach Strukturierung der Barrierenschicht 7 mit verbleibender
15 Lackmaske 8 gezeigt, wobei deutlich hervorgeht, daß die Oberfläche bzw. CD der Lackmaske 8 stark verändert ist, wobei häufig durch Redepositionen 8' schräg abfallende Flanken der Lackmaske verbleiben. In ähnlicher Weise zeigt die unter der Lackmaske verbleibende Barrierenschicht 7 eine verringerte
20 ebene Oberfläche mit schräg abfallenden Flanken.

Die ungünstige Profilabschrägung der Barrierenschicht 7 gemäß diesem herkömmlichen Verfahren wird durch Verwendung einer ebenfalls mit 8 bezeichneten harten Maske, einer sogenannten
25 Hard-Mask vermieden, wie schematisch in Fig. 3A und 3B gezeigt, wobei Fig. 3A den Zustand der Anordnung vor der Ätzung und Fig. 3B den Zustand der Anordnung nach der Ätzung zeigt. Werden nachfolgend auf den durch Fig. 3B verdeutlichten Prozeßzustand Naßprozesse angewendet, um die harte Maske 8 zu
30 entfernen, ist mit einer zusätzlichen isotropen Unterätzung der Strukturen zu rechnen.

7

Dieser Nachteil wird erfindungsgemäß durch die Prozeßführung gemäß Fig. 3C und Fig. 3D vermieden. Gemäß Fig. 3C wird demnach die strukturierte Barrierenschicht 7 mitsamt der auf ihr verbliebenen Maskenschicht 8 mittels einem CVD-Prozeß in SiO₂ eingebettet. Die SiO₂-Einbettungsschicht ist mit der Bezugs-
5 ziffer 9 bezeichnet. Daraufhin erfolgt, wie in Fig. 3D gezeigt, ein CMP-Prozeß mit Polierstopp auf der Oberfläche der Barrierenschicht 7, durch welchen von der Barrierenschicht 7 die Hartmaske 9 vollständig unter Belassung einer großflächigen ebenen Oberfläche bzw. Kontaktfläche abgetragen wird, auf
10 welcher die nachfolgend aufzubringende untere Elektroden-schicht 4 des Speicherkondensators 3 ohne Erzeugung zusätzlicher Topographie und mit guter Haftung aufgebracht werden kann.

15

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterspeicherbauelements mit einem Silizium-Substrat (0), auf welchem zumindest
5 ein Speicherkondensator mit unterer Elektrode (4), oberer Elektrode (5) und einer dazwischen liegenden Dielektrikumschicht (6) angeordnet ist, wobei die untere Elektrode (4) von dem Silizium-Substrat (0) durch eine
10 Barrierenschicht (7), isoliert ist, mit den Schritten:

Aufbringen der Barrierenschicht (7);

Strukturieren der Barrierenschicht (7) vor dem Aufbringen des
15 Speicherkondensators mittels einer Hartmaske (8);

Entfernen der nach der Strukturierung verbleibenden Hartmaske (8) unter Freilegung der strukturierten Barrierenschicht (7);

20 gekennzeichnet durch die Schritte:

Einbetten der strukturierten Barrierenschicht (7) und der darüber nach der Strukturierung verbleibenden Hartmaske (8) in eine Einbettungsschicht (9); und

25

Entfernen der nach der Strukturierung über der Barrierenschicht (7) verbleibenden Hartmaske (8) und der darüberliegenden Einbettungsschicht (9) mittels eines chemisch-mechanischen Polierschrittes.

30

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der chemisch-mechanische Polierschritt an der Oberfläche der Barrierenschicht (7) gestoppt wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Halbleiterspeicherbauelement für ein DRAM oder ein FeRAM verwendet wird.

5

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß für die Dielektrikumsschicht (6) ein ferroelektrisches Material verwendet wird.

10 5. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Barrierenschicht (7) als eine Diffusionsbarriere oder ein Diffusionsbarrieren-Sandwich in Kombination mit Haftschichten ausgestaltet wird.

15 6. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Haftschichten aus Ir, IrO₂ oder IrO hergestellt wurden.

20 7. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Hartmaske (8) aus SiO₂, SiN oder SiON hergestellt wird.

25 8. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Einbettungsschicht (9) durch chemische Dampfphasenabscheidung aus SiO₂ hergestellt wird.

9. Verfahren nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß auf dem Substrat (0) eine Isolationsschicht (1) mit einem darin befindlichen Kontaktstopfen (2) vorgesehen wird, worauf die Barrierenschicht (7) als Diffusionsbarriere vorgesehen wird.

30

1/2

FIG 1

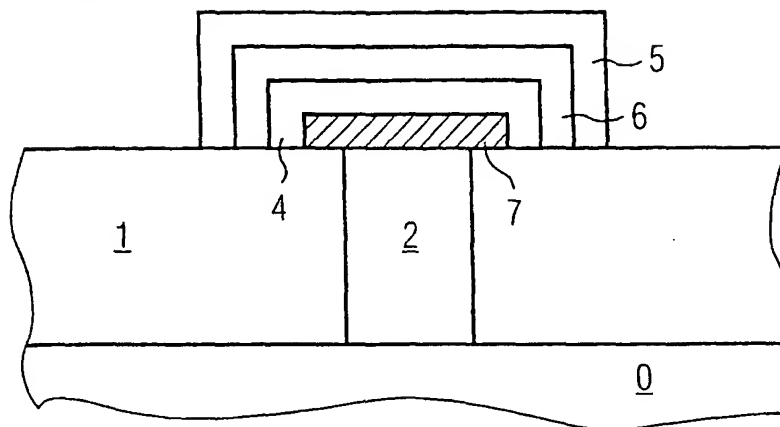
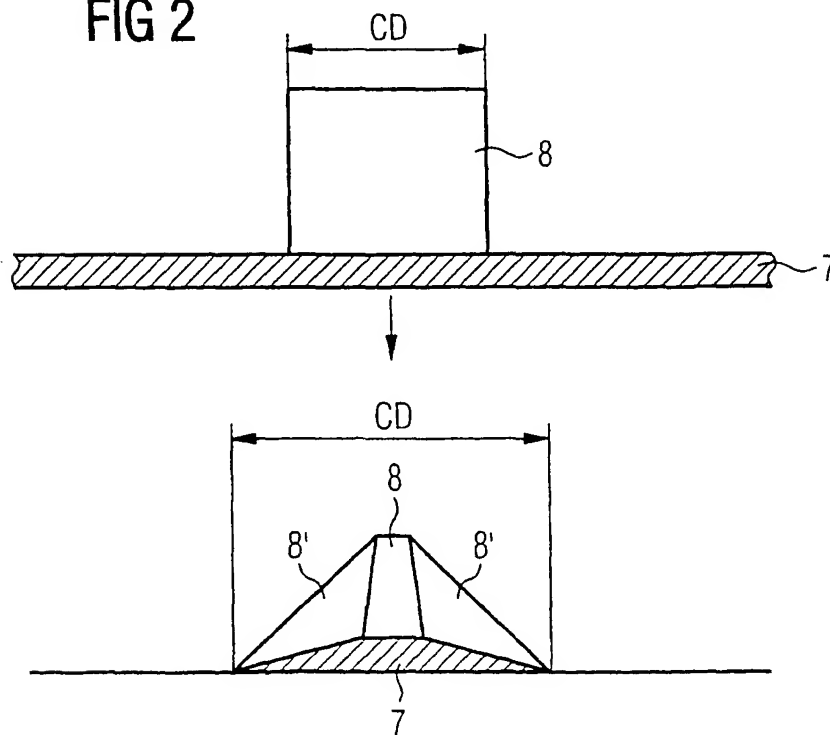


FIG 2



2/2

FIG 3A

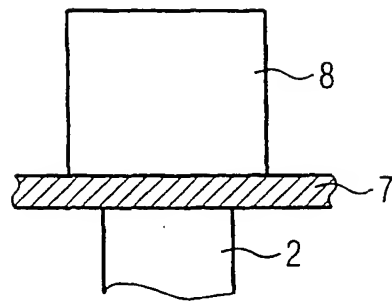


FIG 3B

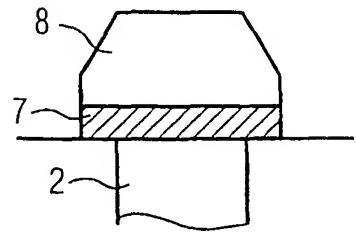


FIG 3C

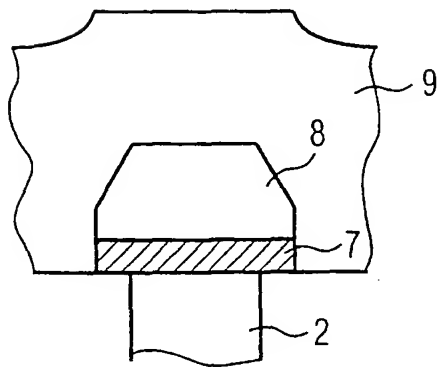
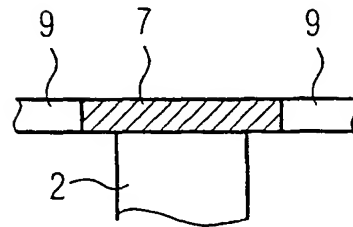


FIG 3D



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 00/01896

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/3213

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 786 259 A (KANG CHANG-SEOK) 28 July 1998 (1998-07-28) column 5, line 36 -column 6, line 65; figures 10-17 ---	1-9
A	US 5 335 138 A (SANDHU GURTEJ ET AL) 2 August 1994 (1994-08-02) column 6, line 6-65: figure 3 ---	1-9
A	US 5 907 782 A (WU SHYE-LIN) 25 May 1999 (1999-05-25) column 4, line 54 -column 5, line 9; figures 7-9 -----	1-9

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"8" document member of the same patent family

Date of the actual completion of the international search

18 October 2000

Date of mailing of the international search report

30/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Blackley, W